

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization  
International Bureau



(43) International Publication Date  
18 October 2001 (18.10.2001)

PCT

(10) International Publication Number  
**WO 01/78149 A2**

- (51) International Patent Classification<sup>7</sup>: **H01L 27/08** (74) Agent: **DULJESTIJN, Adrianns, J.**; Internationaal Octrooibureau B.V., Prof Holstlaan 6, NL-5656 AA Eindhoven (NL).
- (21) International Application Number: **PCT/EP01/03581**
- (22) International Filing Date: **29 March 2001 (29.03.2001)** (81) Designated States (*national*): **CN, JP, KR.**
- (25) Filing Language: **English** (84) Designated States (*regional*): **European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).**
- (26) Publication Language: **English**
- (30) Priority Data: **09/545,785** **7 April 2000 (07.04.2000)** **US** Published:  
— *without international search report and to be republished upon receipt of that report*
- (71) Applicant: **KONINKLIJKE PHILIPS ELECTRONICS N.V. [NL/NL]**; Groenewoudseweg 1, NL-5621 BA Eindhoven (NL). *For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.*
- (72) Inventors: **SOWLATI, Tirdad**; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). **VATHULYA, Vickram**; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).



**WO 01/78149 A2**

(54) Title: **INTERDIGITATED MULTILAYER CAPACITOR STRUCTURE FOR DEEP SUB-MICRON CMOS**

(57) Abstract: A capacitor structure having a first level of electrically conductive parallel lines and at least a second level of electrically conductive parallel lines disposed over the lines in the first level, the lines of the first and second levels being arranged in vertical rows. A dielectric layer is disposed between the first and second levels of conductive lines. One or more vias connect the first and second level lines in each of the rows, thereby forming a parallel array of vertical capacitor plates. Electrically opposing nodes form the terminals of the capacitor. The parallel array of vertical capacitor plates are electrically connected to the nodes in an alternating manner so that the plates have alternating electrical polarities.

(19)日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表2003-530699

(P2003-530699A)

(43)公表日 平成15年10月14日(2003.10.14)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

ターミナル\* (参考)

H 0 1 L 21/822  
21/8234  
27/04  
27/06

H 0 1 L 27/04  
27/06

C 5 F 0 3 8  
1 0 2 A 5 F 0 4 8

審査請求 未請求 予備審査請求 未請求(全 18 頁)

(21)出願番号 特願2001-574905(P2001-574905)  
(86) (22)出願日 平成13年3月29日(2001.3.29)  
(85)翻訳文提出日 平成13年12月5日(2001.12.5)  
(86)国際出願番号 PCT/EP01/03581  
(87)国際公開番号 WO01/078149  
(87)国際公開日 平成13年10月18日(2001.10.18)  
(31)優先権主張番号 09/545, 785  
(32)優先日 平成12年4月7日(2000.4.7)  
(33)優先権主張国 米国 (US)  
(81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), CN, JP, KR

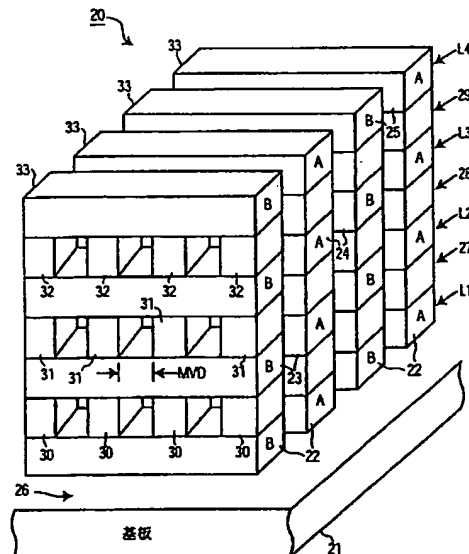
(71)出願人 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ  
Koninklijke Philips Electronics N.V.  
オランダ国 5621 ペーアー アインドーフ  
フェン フルーネヴァウツウェーハ 1  
Groenewoudseweg 1,  
5621 BA Eindhoven, The Netherlands  
(72)発明者 ティルダート、ソウラティ  
オランダ国5656、アーアー、アインドーフ  
エン、プロフ. ホルストラーン、6  
(74)代理人 弁理士 吉武 賢次 (外4名)

最終頁に続く

(54)【発明の名称】 深いサブミクロンCMOS用の互いに入り込んだ多層キャパシタ構造

(57)【要約】

本キャパシタ構造は、複数の導電性の並行な配線から成る第1レベルと、第1レベルの複数の配線上に配置された複数の導電性の並行な配線から成る少なくとも1つの第2レベルをもち、第1および第2レベルの配線は複数の垂直行に配置されている。導電性の配線の第1および第2レベルの間に誘電層が充填されている。1つまたは複数のビアにより各行の第1および第2レベルの配線が接続され、複数の垂直方向のキャパシタプレートの並行なアレイが形成される。電気的に相対するノードがキャパシタの端子を形成している。複数の垂直方向のキャパシタプレートから成る並行なアレイは、各プレートの電極が交互になるように交互にノードに電気的に接続されている。



**【特許請求の範囲】****【請求項1】**

複数の導電性の並行な配線から成る第1レベルと、

前記第1レベルの複数の配線上にわたって配置された導電性の並行な配線から成る少なくとも第2レベルとを含み、前記第1および第2レベルの前記複数の配線は複数の垂直行に配置されており、さらに

複数の導電性の配線から成る前記第1および第2レベルの間に配置された誘電層と、

前記各行の前記配線を接続することで、複数の垂直キャパシタプレートから成る並行なアレイを形成する少なくとも1つのビアと、

キャパシタの複数の端子を形成する複数の電氣的に相対するノードとを含み、前記並行なアレイは、前記複数のプレートの極性が交互になるように交互に前記相対するノードに電氣的に接続されることを特徴とするキャパシタ。

**【請求項2】**

前記導電性の配線が金属を含むことを特徴とする請求項1記載のキャパシタ。

**【請求項3】**

前記導電性の配線がポリシリコンを含むことを特徴とする請求項1記載のキャパシタ。

**【請求項4】**

前記誘電層が二酸化シリコンを含むことを特徴とする請求項1記載のキャパシタ。

**【請求項5】**

垂直方向に前記行を延在させるように前記第2レベルの複数の配線上に配置された複数の導電性の並行な配線から成る少なくとも1つの第3レベルと、

複数の導電性の配線から成る第2および第3レベルの間に配置された第2誘電層と、

複数の配線から成る第3レベルが、垂直方向のキャパシタプレートから成る並行なアレイを垂直方向に延在させるように前記各行の第1および第3レベルの配線を接続する少なくとも1つのビアと、をさらに含む請求項1記載のキャパシタ

。

**【請求項6】**

導電性の並行な配線から成る第1および少なくとも第2の複数のレベルは、複数の垂直方向の行に配置された複数の導電性の並行な配線を含み、前記誘電層は、複数の誘電層を含み、前記各誘電層は導電性の配線からなる相対するレベルの間に配置されている請求項1記載のキャパシタ。

**【請求項7】**

前記キャパシタは基板上に構成されている請求項1記載のキャパシタ。

**【請求項8】**

前記基板は半導体材料からつくられている請求項7記載のキャパシタ。

**【請求項9】**

前記キャパシタはサブミクロンMOS構造を含む請求項1記載のキャパシタ。

**【請求項10】**

前記キャパシタはサブミクロンCMOS構造を含む請求項1記載のキャパシタ。

**【請求項11】**

前記キャパシタはサブミクロン構造を含む請求項1記載のキャパシタ。

## 【発明の詳細な説明】

## 【0001】

本発明は金属酸化物半導体（MOS）のキャパシタ構造に関し、具体的には、深いサブミクロンCMOS用の互いに入り込んだ多層（IM: Interdigitated Multilayer）キャパシタ構造に関する。前記構造は、ビアを介して複数のレベルの導電線を相互接続して垂直キャパシタプレートから成る並行なアレイを構成し、こうしたプレートの電極が交互に替わるように各プレートを相対するノードに交互に相互接続することで形成される。

## 【0002】

深いサブミクロンCMOS用の従来のキャパシタ構造は通常、薄い誘電層により分離された2枚の並行な平坦プレートで構成されている。これらのプレートは、金属やポリシリコンなどの導電性の材料から成る層により形成されている。キャパシタ構造は通常、下地誘電層により基板と分離されている。こうしたデバイスで高い容量密度を達成するために、追加プレートが備えられている。図1Aと図1Bは深いサブミクロンCMOS構造における代表的な従来の多並行プレート型キャパシタ10を例示している。キャパシタ構造10は、誘電層13により分離されている導電線12の垂直スタックを含んでいる。導電線12と誘電層13は半導体基板11上に形成されている。複数の導電線12はキャパシタ10のプレートまたは電極を形成している。複数のプレート12は、「A」プレートがすべて第1極性となり「B」プレートがすべて第1極性に相対する第2極性となるように交互に電氣的に結合されている。

## 【0003】

並行プレートキャパシタ構造が抱える主な制限事項は、CMOS過程における形状の縮小時にはプレート間の最小距離を変えられないことである。したがって、容量密度の利得は、こうした縮小では得られない。

## 【0004】

2重ポリシリコンキャパシタやゲート酸化物キャパシタなどの高容量密度をもつ他の様々なキャパシタ構造が当技術分野で知られている。しかし、2重ポリシリコンキャパシタは深いサブミクロンCMOSプロセス過程には役に立たない。ゲー

ト酸化物キャパシタは一般的には深いサブミクロンCMOSプロセス過程では使用されない。というのは、こうしたキャパシタはゲートの面積が広いので歩留まりや信頼性に問題があり、容量が電圧に応じて変化し、ゲート酸化物を壊す高い電圧が発生する場合があるためである。

#### 【0005】

動的ランダムアクセスメモリ (DRAMs) 用のトレンチキャパシタ構造の容量密度も高い。こうしたキャパシタは基板にトレンチを食刻して垂直容量構造が形成されるように導電性と誘電性をもつ材料をその溝に充填することで形成されている。しかし、トレンチキャパシタは、食刻およびトレンチ充填処理過程が加わるので製造コストが高い。

#### 【0006】

相互に入り込んだキャパシタ構造はマイクロ波を使う分野で使用される。こうした複数のキャパシタは、緊密に配置された相互に入り込んだ導電線構造をもち、各構造の間にフリンジ容量やクロスオーバー（交差）容量が生成されて総容量を達成する。しかし、相互に入り込んだキャパシタが生成するクロスオーバー容量は単一導体レベルに制限される。

#### 【0007】

したがって、半導体プロセスの形状の縮小を有効に利用できかつ安価に製造可能な深いサブミクロンCMOS用の改良型キャパシタ構造が必要となる。

#### 【0008】

キャパシタ構造は、導電性の並行な配線から成る第1レベルと、第1レベルの複数の配線上に配置された導電性の並行な配線から成る第2レベルとを含み、第1および第2レベルの配線は複数の垂直行に配置されている。導電性線の第1および第2レベルの間に誘電層が配置されている。1つまたは複数のビアにより各行で第1および第2レベルの配線が接続されて、垂直キャパシタプレートの並行な配列が形成される。電氣的に相対するノードがキャパシタの端子を形成している。垂直方向のキャパシタプレートの並行な配列は、各プレートが電氣的な極を交互に有するようにノードに電氣的に接続される。

#### 【0009】

本発明の利点、特質ならびに様々な付随特色は、添付図面を参照しながら以下で詳細に説明される例示実施例を検討すればより完全に明らかになるであろう。

#### 【0010】

図面は本発明の概念を例示するためのもので、縮尺通りではないことを御考慮いただきたい。

#### 【0011】

図2A乃至図2Cは、深いサブミクロンCMOSの容量を生成するための、本発明の実施形態によるお互いに入り込んだ多層(IM)キャパシタ構造20を例示している。IMキャパシタ構造20は、多岐にわたる導体レベル処理(4つの電気導体レベルL1-L4が描かれているが、これは例示目的に過ぎない)における半導体材料(図2Bと図2C)から成る基板21上に構成されている。第1導体レベルL1には複数の導電性の水平な配線22から成る第1並行アレイが形成され、第2導体レベルL2には複数の導電性の水平な配線23から成る第2並行アレイが形成され、第3導体レベルL3には複数の導電性の水平な配線24から成る第3並行アレイが形成され、第4導体レベルL4には複数の導電性の水平な配線25から成る第4並行アレイが形成されている。第1誘電層26により基板21と第1導体レベルL1の間の空間が充填され、第2誘電層27により第1および第2導体レベルL1とL2の間の空間と第1導体レベルL1の複数の配線22の間の空間が充填され、第3誘電層28により第2および第3導体レベルL2とL3の間の空間と第2導体レベルL2の複数の配線23の間の空間が充填され、第4誘電層29により第3および第4導体レベルL3とL4の間の空間と第3導体レベルL3の複数の配線24の間の空間が充填され、第5誘電層34により第4導体レベルL4の複数の配線25の間の空間が充填されている。

#### 【0012】

導電性の配線23-25から成る4つのレベルL1-L4は垂直方向に行またはスタックとして互いに整列されている。各行の導電性の配線23-25は、第2、第3、第4誘電層27-29に形成された垂直方向に延在する導電性のビア30-32を介して電氣的に相互接続されている。導電性の配線23-25の行およびビア30-32は垂直方向に延在しているプレート30の並行アレイを形成し、

この垂直プレート33はキャパシタ構造20の電極を形成する。垂直プレート33は、Aプレートの頂部または底部を第1共通ノードAに、Bプレートの頂部または底部を第2共通ノードBに電氣的に接続することで相対する極性をもつ「A」プレートと「B」プレートに電氣的に互いに入り込んだ構成となる（図2A）。第1および第2ノードAとBはIMキャパシタ構造20の端子を形成する。

#### 【0013】

本発明のIMキャパシタ構造20が容量を生成するメカニズムは、図3に示す従来の単一レベルの互いに入り込んだキャパシタ構造40を検討することで最もよく理解できる。互いに入り込んだキャパシタ構造40の総容量 $C_{Total}$ は、複数の互いに入り込んだ導電性の配線41の間の総クロスオーバー容量 $C_C$ と複数の互いに入り込んだ導電性の配線41の間の総フリンジ容量 $C_f$ の総和にあたる。互いに入り込んだキャパシタ構造40では、フリンジ容量 $C_f$ の量はクロスオーバー容量 $C_C$ と等しい。

#### 【0014】

本発明のIMキャパシタ構造20の総容量 $C_{Total}$ も、複数の互いに入り込んだ垂直プレート33の間の総クロスオーバー容量 $C_C$ （隣接する導電性の配線の間のクロスオーバー容量と複数の隣接ビアの間のクロスオーバー容量の総和）と複数の互いに入り込んだ垂直プレート33の間の総フリンジ容量 $C_f$ の総和にあたる。しかし、従来の互いに入り込んだキャパシタ構造40とは異なり、クロスオーバー容量 $C_C$ の量は、フリンジ容量 $C_f$ の量が変化しないのに対してIMキャパシタ構造20の導体レベルが追加されるに応じて増加する。したがって、IMキャパシタ構造20のフリンジ容量はその総容量 $C_{Total}$ をそれほど左右しない。IMキャパシタ構造20に導体レベルが追加されるに応じて、クロスオーバー容量 $C_C$ の量は、フリンジ容量 $C_f$ の量が小さい間には、キャパシタの総容量 $C_{Total}$ の支配的な因子になる。

#### 【0015】

最新技術による深いサブミクロンCMOS技術では、導電性の配線の間隔は約0.5  $\mu\text{m}$ 以下が普通である。したがって、本発明のIMキャパシタ構造20の垂直プレート33の間の最小距離は通常、約0.5  $\mu\text{m}$ 以下である。（プレートの高さは、



導電性の配線の4つのレベルを積み重ねる場合には、通常、約 $5\mu\text{m}$ を越える。

）本発明のIMキャパシタ構造20の垂直プレート33の間のサブミクロン間隔では、従来の並行プレートキャパシタ構造を使用して達成する場合と較べて、容量密度が増加することになる。

#### 【0016】

図1Aと図1Bに示す構成と同様の、5枚のプレートで構成され寸法が $15\mu\text{m} \times 39\mu\text{m}$ である従来の並行プレートキャパシタの容量と、本発明による4つの導体レベルで構成され寸法が $14.9\mu\text{m} \times 39\mu\text{m}$ であるキャパシタのそれを比較することで、容量密度が改良されたことが判明する。両キャパシタは $0.25\mu\text{m}$ のCMOSプロセスで構成されたものである。並行プレートキャパシタのノードAとBの間の並行プレート容量は $95\text{fF}$ であると判明している。これに対して、IMキャパシタのノードAとBの間のクロスオーバー容量は $150\text{fF}$ と判明している。したがって、本発明のIMキャパシタ構造は容量密度が約60パーセントも増加している。

#### 【0017】

半導体プロセス技術における形状は縮小し続けているので、本発明によるIMキャパシタ構造20の容量密度の増加は有益である。これは、本発明による導電性の配線22-25の最小幅 $M_w$ （図2C）、ビア30-32の寸法、同じ垂直プレートのビア30-32の間の最小距離 $M_{dv}$ （図2B）、IMキャパシタ構造20の垂直プレート33の間の最小距離 $M_d$ （図2C）の縮小が有益であったためである。結果として、IMキャパシタ構造20のクロスオーバー容量 $C_c$ は増加することになる。こうした容量の増加は従来の多層並行プレートキャパシタ構造では不可能であった。これは、従来の構造の導体と誘電体レベルの高さまたは厚みが縮小しておらず、従来の並行プレートキャパシタ構造ではプレート間の距離は約 $1\mu\text{m}$ にもなるからである。

#### 【0018】

本発明のIMキャパシタ構造は通常、従来の深いサブミクロンCMOSプロセス過程を用いてシリコンで製造される。本発明のキャパシタ構造は、従来の深いサブミクロンプロセス過程を用いてガリウムヒ素や他の適切な半導体系で製造すること

もできる。深いサブミクロンCMOSプロセス過程を用いたシリコンでの製造は、通常、第1誘電層を形成するためにシリコン半導体基板の選択部分上での二酸化シリコンの第1層の成長または堆積工程を含む。二酸化シリコン層の厚みは約 $1\mu\text{m}$ である。アルミニウムなどの金属や高導電性ポリシリコンから成る第1層は二酸化シリコンからなる第1誘電層上に堆積されて、周知のマスク技術とドライエッチング技術を用いて導電性の配線に画定されて第1導体レベルが形成される。上記のように、構造の容量を増やすために導電性の配線の幅と間隔はプロセス過程の最小寸法に設定されている。すなわち、線および線の間隔はできる限り狭くなっている。

#### 【0019】

次いで、二酸化シリコンから成る第2層を導電線上に成長させたり堆積させたりして第2誘電層が形成される。二酸化シリコンから成る第2誘電層の厚みは約 $1\mu\text{m}$ である。第1導体レベルにまで下方に延在している複数の穴を二酸化シリコンから成る第2誘電層に画定して、従来のビア製造技術を用いて金属またはポリシリコンを充填して、第2誘電層に垂直方向に延在しているビアが形成される。アルミニウムなどの金属やポリシリコンからなる第2層は、二酸化シリコンから成る第2誘電層上に堆積され、次いで、第2導体レベルの導電性の配線に画定される。他の誘電層、ビア、導体レベル、ならびに導電性の配線は上記と同様に製造される。

#### 【0020】

誘電層を形成するのに二酸化シリコン（シリコン系）や窒化シリコン（ガリウムヒ素系）の代わりに特殊な誘電物質が使用可能であることは当業者なら理解できるであろう。たとえば、誘電層を形成するためにPLZT（lanthanum-modified lead zirconate tantalate：ジルコン酸チタン酸鉛ランタン）などの強誘電性セラミックを使用することが可能である。PLZTから成る層を使用すると容量が改善される。これは、二酸化シリコンの誘電率は3.9なのに対してPLZTのそれは約4700にもなるからである。

#### 【0021】

本発明のIMキャパシタ構造は、高周波やアナログやデジタル分野など多くの分

野で有益であることも当業者には明らかであろう。高周波回路分野では整合のためにキャパシタを使用する。単位面積当りの容量が大きいほど、面積を縮小でき、コストを抑えられる。アナログ回路分野では、大規模キャパシタ (KT/C) を用いることで不本意なノイズを抑えられる場合が多い。デジタル回路分野では、減結合容量が大きいことがしばしば極めて重要であり、本発明のキャパシタで容易に供給可能である。

### 【0022】

上記の発明は上記の実施例を参照しながら説明されてきたが、本発明の精神から逸脱しないかぎり修正や変更を追加可能である。したがって、こうした修正や変更はすべて請求の範囲内に当てはまるものと考えられる。

### 【図面の簡単な説明】

#### 【図1A】

深いサブミクロンの集積回路構造における従来の並行プレートキャパシタ構造の頂面図である。

#### 【図1B】

図1Aの切断線1B-1Bによる横断面図である。

#### 【図2A】

深いサブミクロンCMOS構造における本発明の一実施形態による互いに入り込んだ多層 (IM) キャパシタの頂面図である。

#### 【図2B】

図2AのIMキャパシタの断面図の斜視図である。

#### 【図2C】

図2BのIMキャパシタ断面の端面図である。

#### 【図3】

従来の櫛型キャパシタの端面図である。

### 【符号の説明】

20 IMキャパシタ構造

21 基板

22、23、24、25 導電性の水平な配線

26、27、28 誘電層

30、31、32 ビア

33 垂直プレート

【図1A】

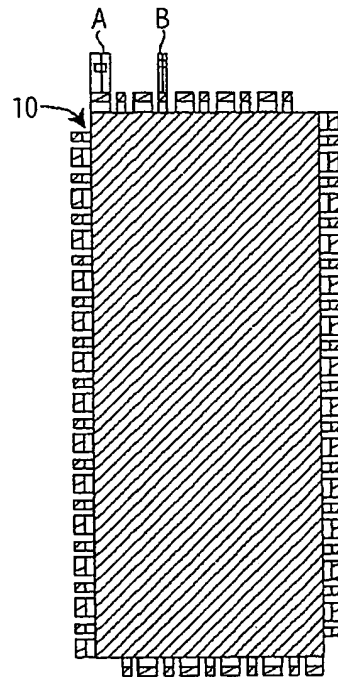
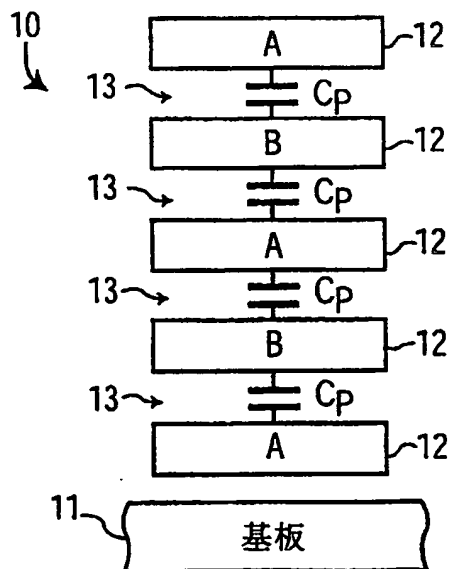


FIG. 1A

【図1B】



【図 2A】

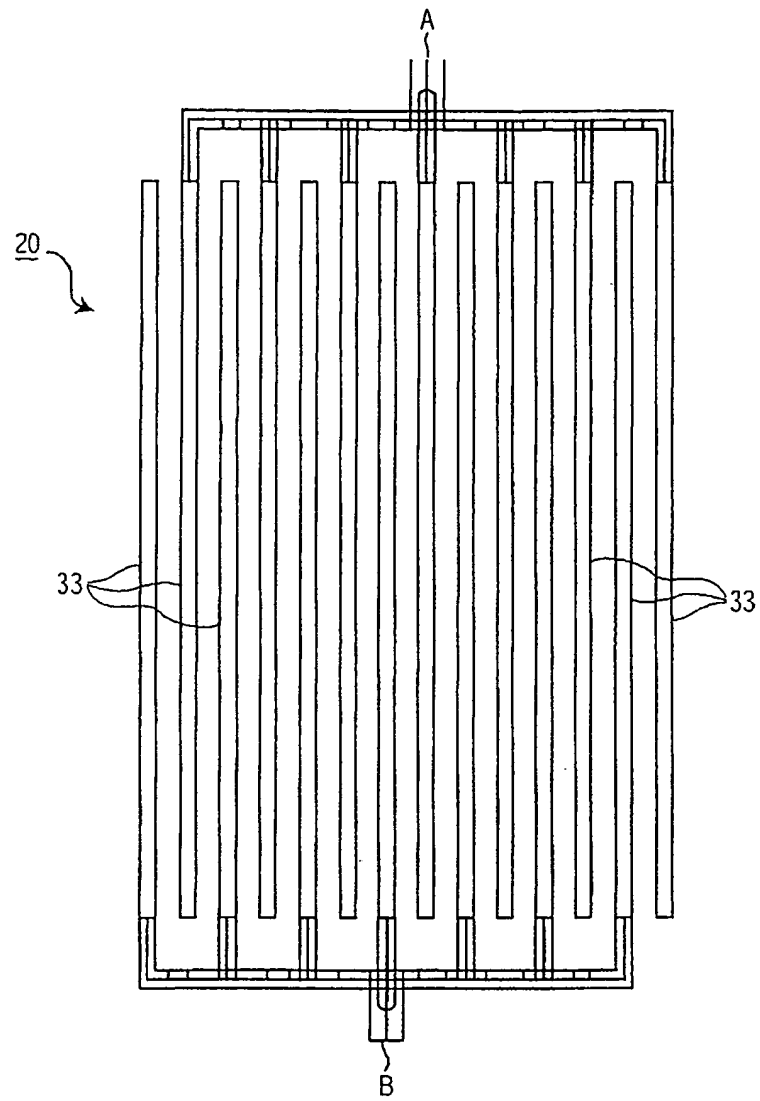
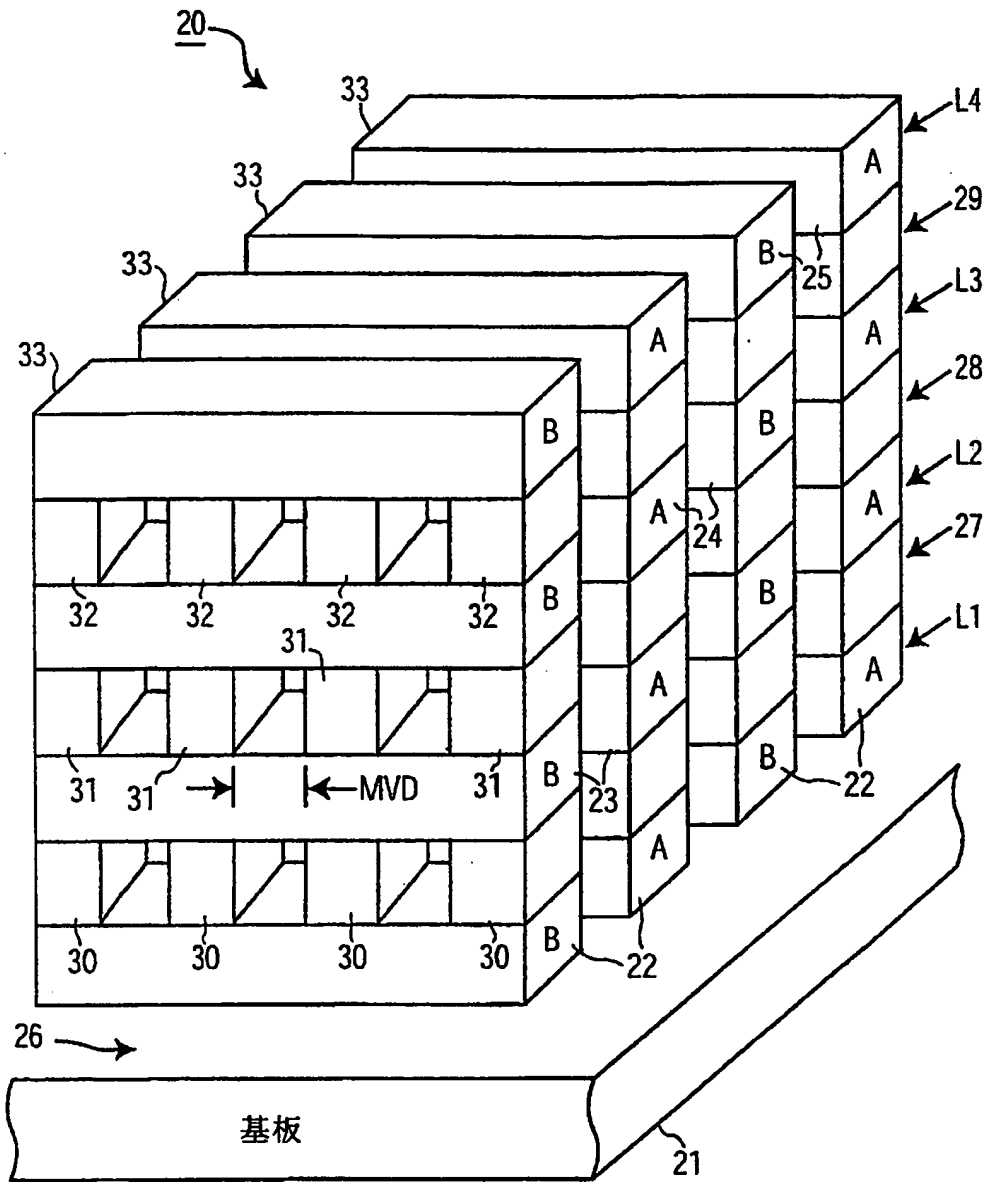


FIG. 2A

【図2B】





## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International Application No.  
PC1/EP 01/03581

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L27/08 H01L29/92		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ, INSPEC, IBM-TDB		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 583 359 A (NG ANTHONY C C ET AL) 10 December 1996 (1996-12-10) abstract; claims; figures 12-16 column 2, line 55 - line 57 column 9, line 65 column 10, line 61 - column 11, line 35	1-11
X	PATENT ABSTRACTS OF JAPAN vol. 1996, no. 02, 29 February 1996 (1996-02-29) -& JP 07 283076 A (NIPPON TELEGR & TELEPH CORP), 27 October 1995 (1995-10-27) abstract; figure 3	1,5-7
X	EP 0 905 792 A (HEWLETT PACKARD CO) 31 March 1999 (1999-03-31) abstract; claims; figures paragraph '0012! - paragraph '0014!	1,2,5-8
-/-		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claims or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "Z" document member of the same patent family		
Date of the actual completion of the international search  12 November 2001		Date of mailing of the international search report  20/11/2001
Name and mailing address of the ISA European Patent Office, P.B. 5018 Patentkan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2040, Tx: 31 651 epo nl, Fax: (+31-70) 340-3015		Authorized officer  Wirner, C

Form PCT/ISA/210 (second sheet) (July 1992)



## INTERNATIONAL SEARCH REPORT

International Application No  
PC1/EP 01/03581

## C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 208 725 A (AKCASU OSMAN E) 4 May 1993 (1993-05-04) abstract; claims; figures 2-4 column 1, line 28 - line 30 -----	1-4, 6-11
A	US 5 939 766 A (GREENLAW DAVID C ET AL) 17 August 1999 (1999-08-17) abstract; claims; figures 3C, 4 -----	1-11
P, X	EP 1 043 740 A (CIT ALCATEL) 11 October 2000 (2000-10-11) abstract; claims; figures -----	1-11

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/EP 01/03581

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5583359	A	10-12-1996	CA 2214123 A1 WO 9627907 A1 EP 0813752 A1 JP 11501159 T	12-09-1996 12-09-1996 29-12-1997 26-01-1999
JP 07283076	A	27-10-1995	NONE	
EP 0905792	A	31-03-1999	US 5978206 A EP 0905792 A2 JP 11168182 A	02-11-1999 31-03-1999 22-06-1999
US 5208725	A	04-05-1993	NONE	
US 5939766	A	17-08-1999	NONE	
EP 1043740	A	11-10-2000	EP 1043740 A1 AU 2069000 A JP 2000315625 A US 6178083 B1	11-10-2000 12-10-2000 14-11-2000 23-01-2001

---

フロントページの続き

(72)発明者 ビクラム、バスルヤ

オランダ国5656、アーアー、アインドーフ

エン、プロフ、ホルストラーン、6

Fターム(参考) 5F038 AC04 AC05 AC15 AC17 EZ02

EZ20

5F048 AC03 AC10 BA01 BF03 BF07

BF12